

# フォトニックパケットスイッチにおける WDMファイバ遅延線バッファのための パケットスケジューリング

大阪大学 大学院基礎工学研究科

山口 貴詩

[t-yamagt@ics.es.osaka-u.ac.jp](mailto:t-yamagt@ics.es.osaka-u.ac.jp)



# 研究の背景

インターネットトラフィックの増大



光伝送技術の発展

・WDMによる大容量伝送

交換システムにおける電子技術の限界



光通信の広帯域性を十分に活かすために  
**全光によるパケットスイッチングが必要**



# WDMフォトリックパケットスイッチ

## ・特徴

エレクトロニクスデバイスの速度限界を超える  
高速なスイッチングが可能

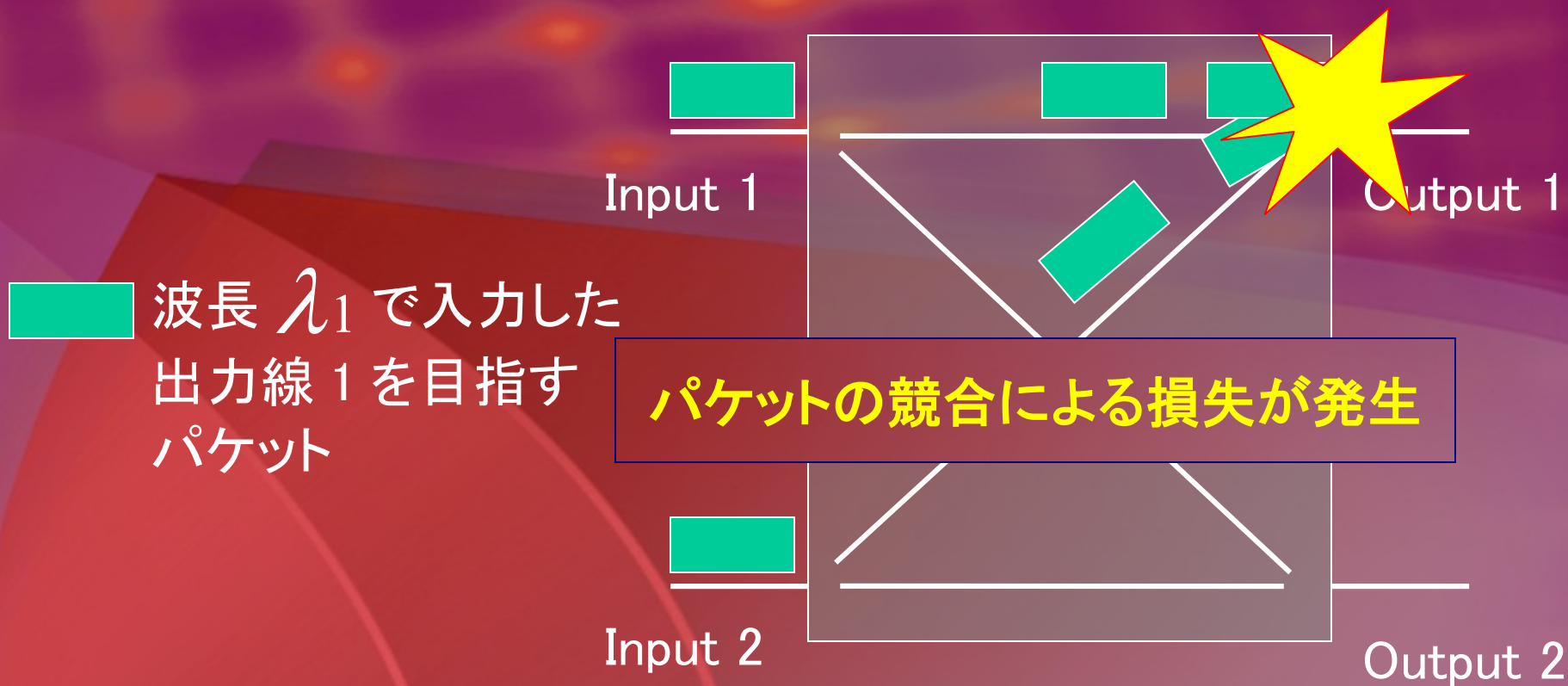
## ・問題点

パケットの競合による損失

スイッチ内の1つの出力線に対して同時に  
複数のパケットが出力される場合に発生



# スイッチにおけるパケットの競合





# パケット競合の解決手法

従来の電気領域におけるスイッチ

RAMを利用してパケット出力の時間的調整を行う  
ことにより、パケットの競合を解決

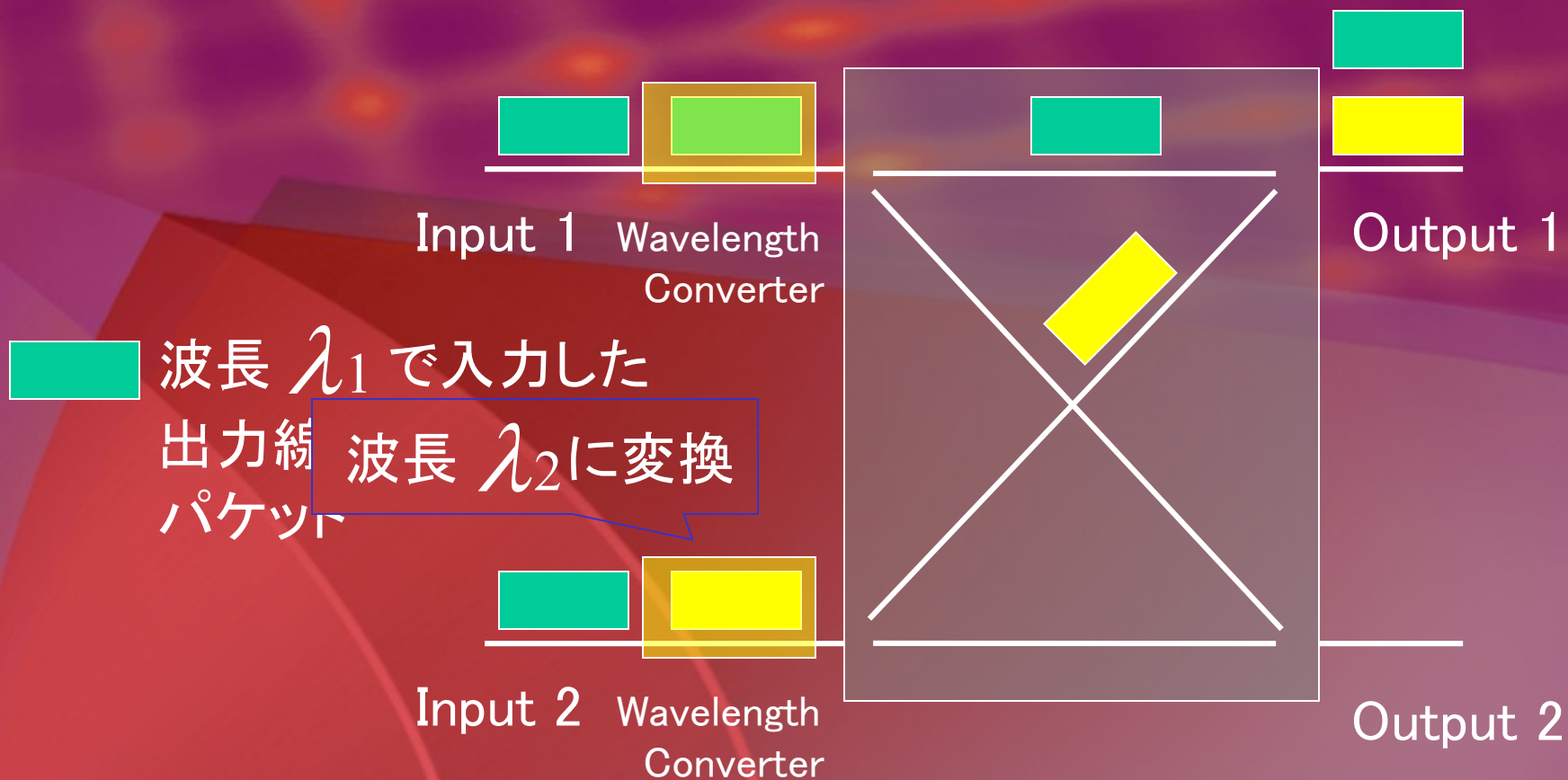
フォトニックパケットスイッチ

光領域におけるRAMが実用化されていない

- 
- 波長変換
  - 光バッファリング



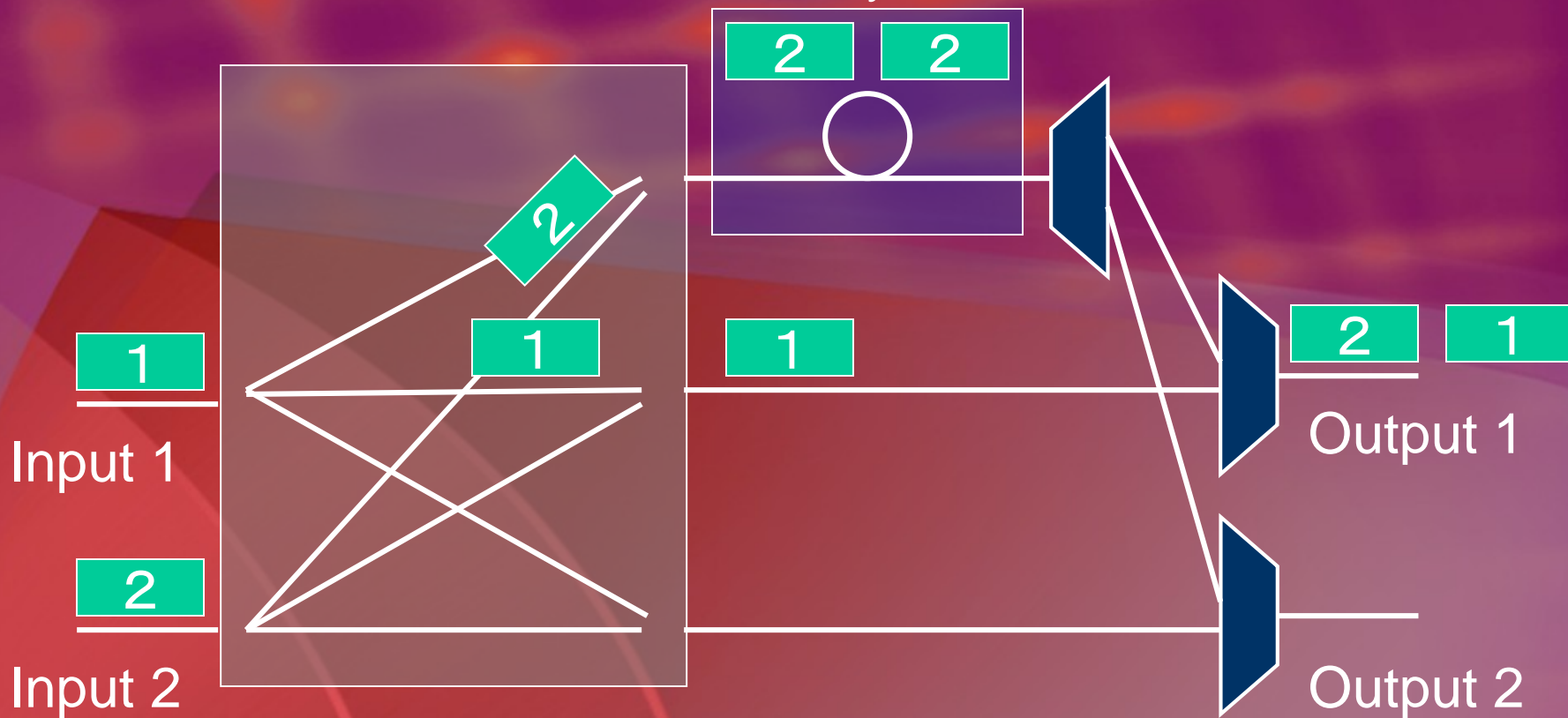
# 波長変換





# 光バッファリング

Fiber Delay Line Buffer





# 研究の目的

## ・スイッチアーキテクチャの提案とその評価

パケット競合を解決するため、波長変換  
および光バッファリングを用いる

- 共有バッファ型
- 出力バッファ型

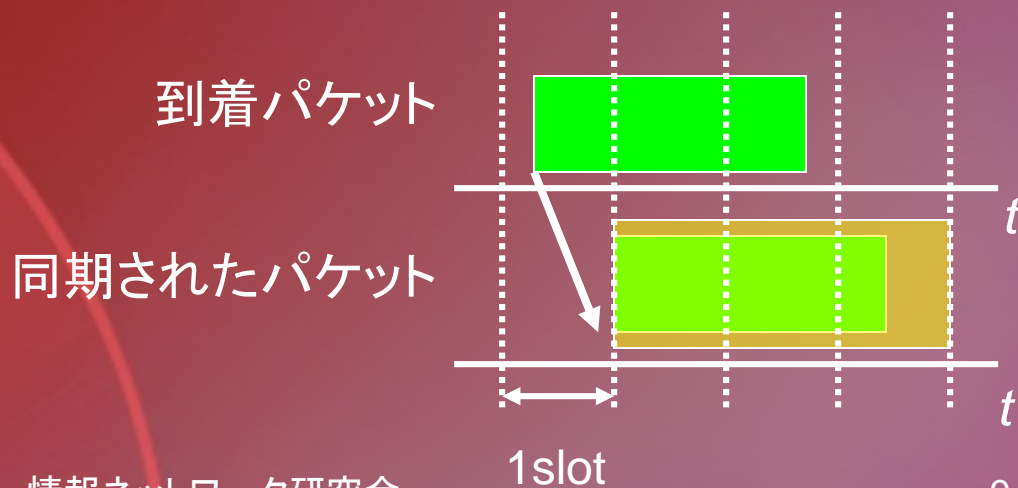
パケットスケジューリングアルゴリズムを  
適用して、シミュレーションを行う





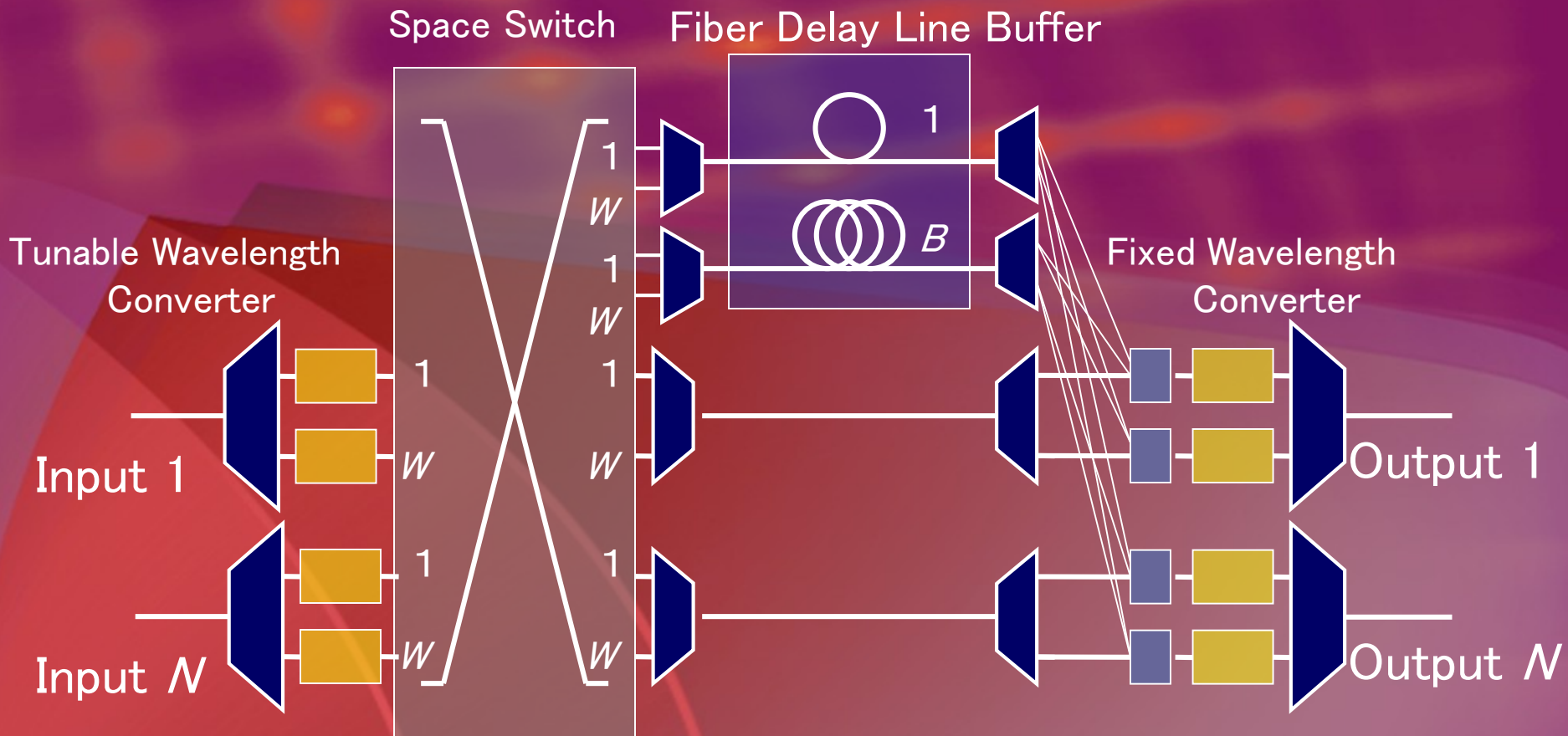
# スイッチアーキテクチャの概要

- ・パケット競合を解決するための装置
  - 波長変換器
  - FDLバッファ
- ・同期／可変長パケット



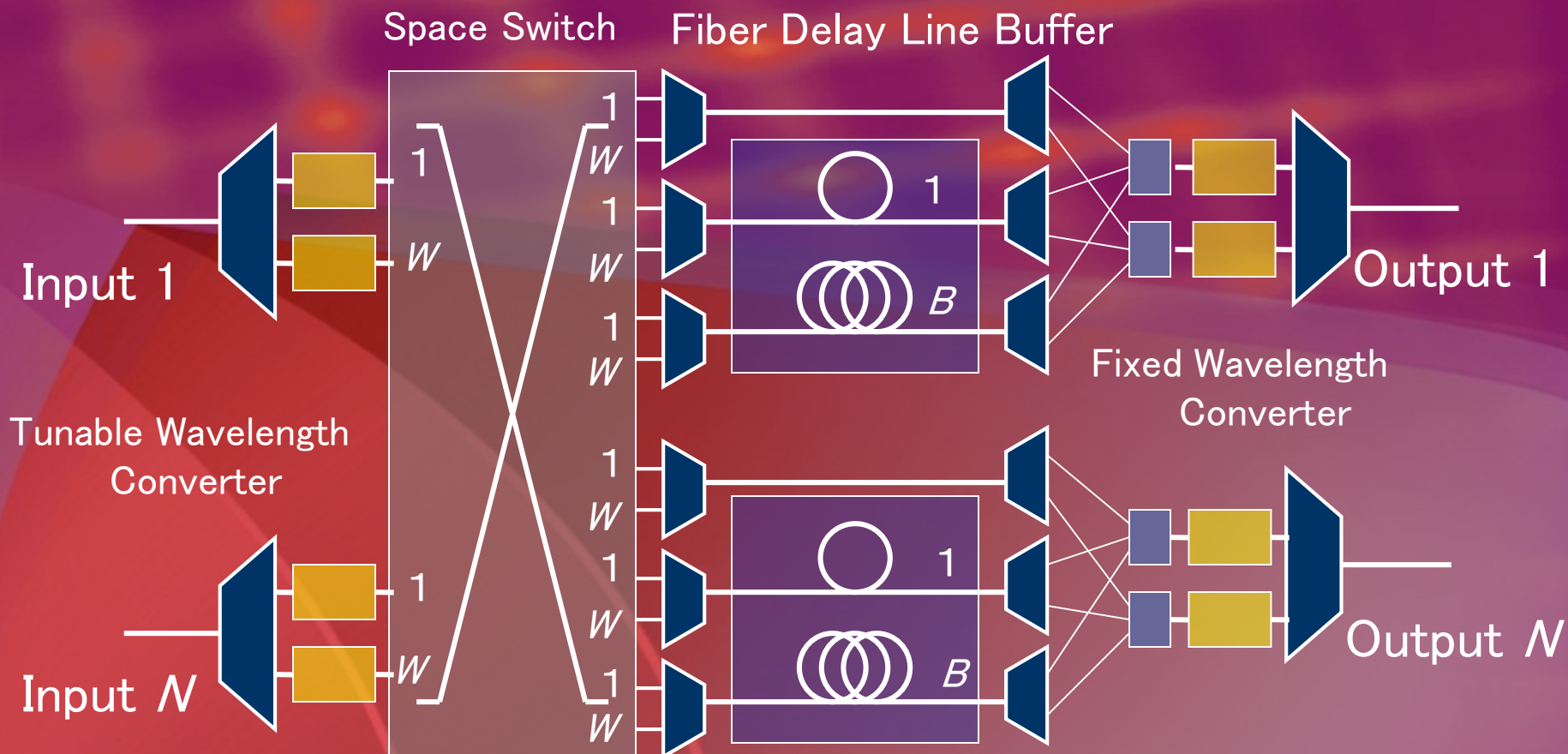


# 共有バッファ型スイッチ





# 出力バッファ型スイッチ





# パケットスケジューリング アルゴリズム

パケットの割当波長の決定を行う

1. 波長変換によって競合を解決できる場合  
直接出力線に送る
2. 波長変換によって競合を解決できない場合  
FDLバッファに送る

アルゴリズムA1: ラウンドロビン方式

アルゴリズムA2: 最小バッファ割当方式

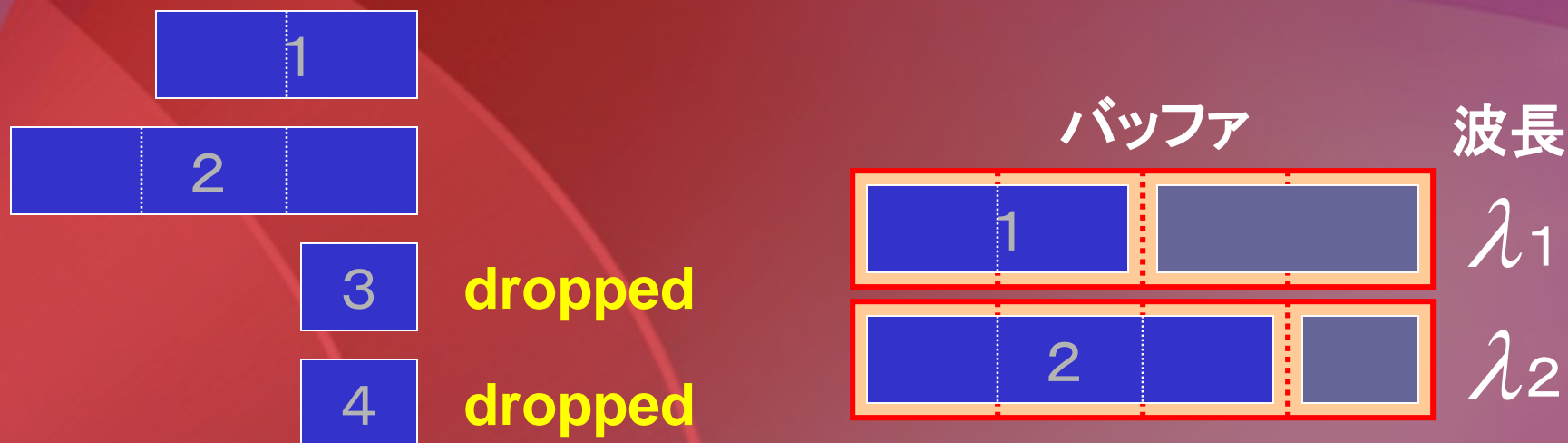
アルゴリズムA3: 最短パケット割当方式



# アルゴリズム A1

## ラウンドロビン方式

パケットに割り当てる波長は順にラウンドロビン方式で決定する。

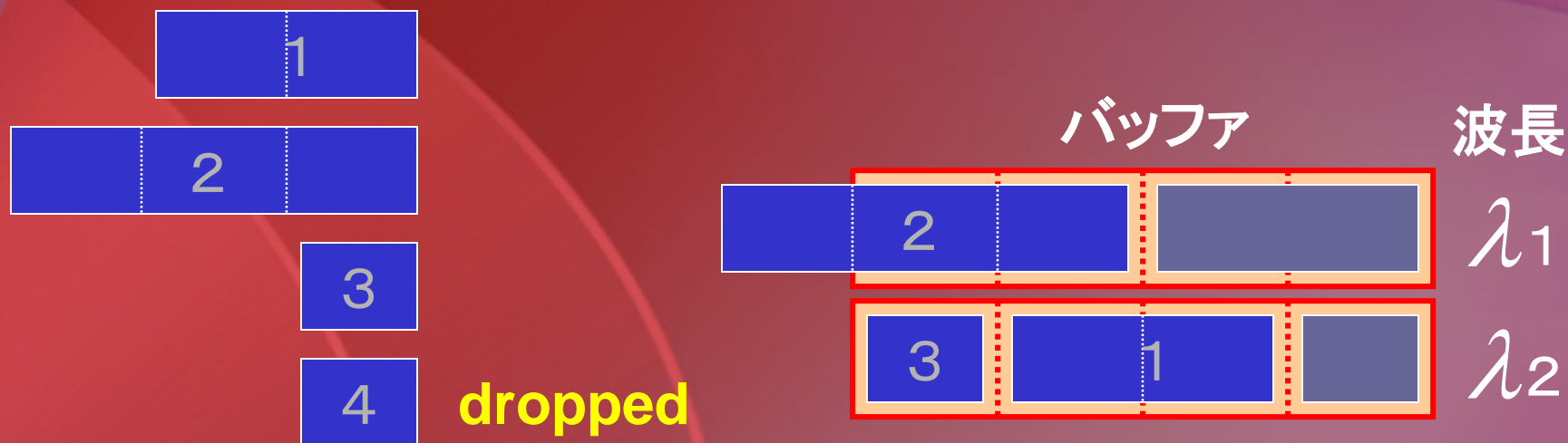




# アルゴリズム A2

## 最小バッファ割当方式

バッファに蓄積されているパケットのキュー長が最も小さい波長をパケットに割り当てる。

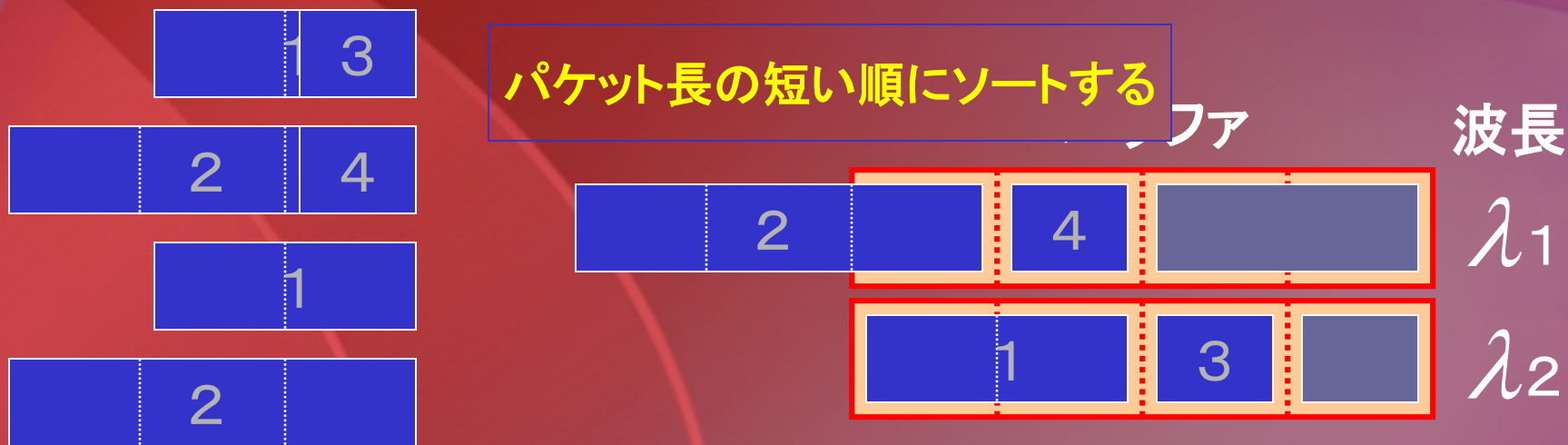




# アルゴリズム A3

## 最短パケット優先割当方式

パケット長の短いものから順にバッファのキュー長が最も短い波長をパケットに割り当てる。





# シミュレーションモデル

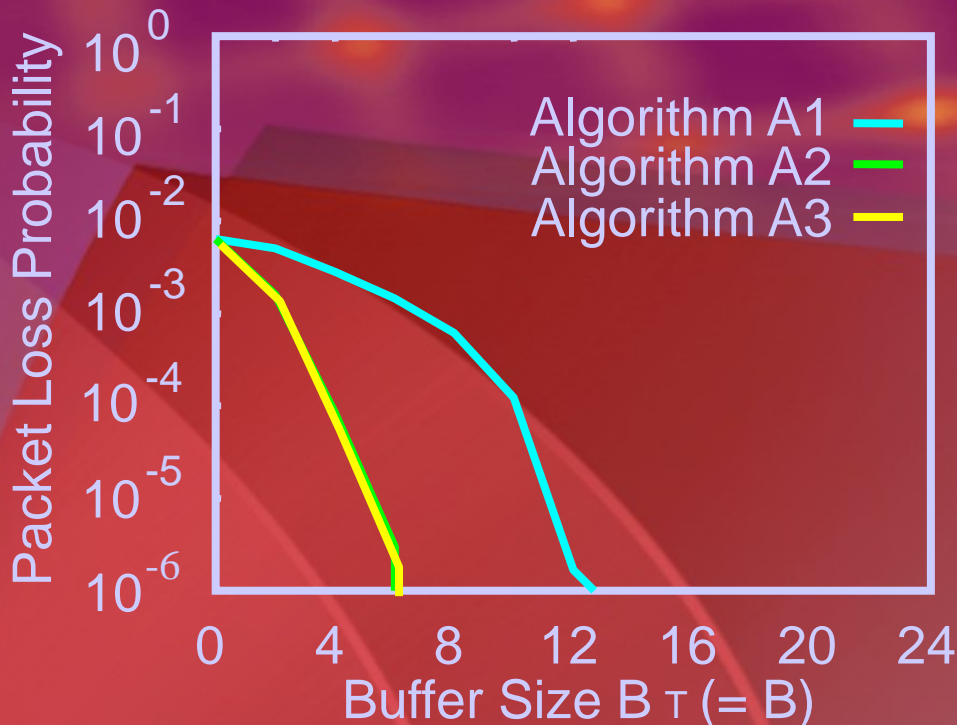
- ポアソン到着
- 1波長あたり 40Gbps
- 平均パケット長 400bytes
- 最大パケット長 1000bytes
- 多重波長数  $W = 8$
- スイッチの入出力線本数  $N = 16$



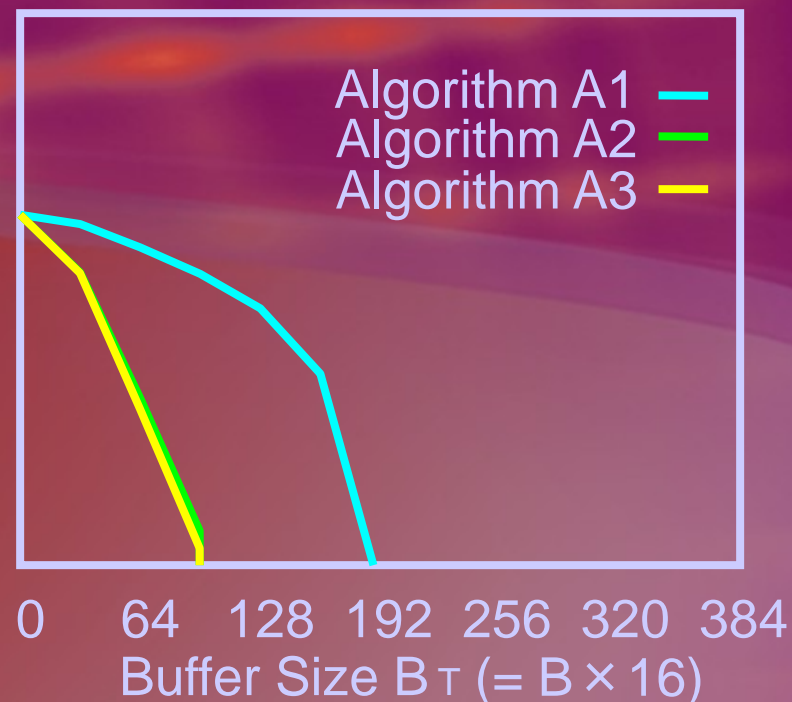


# バッファサイズによる評価 (低負荷の場合)

負荷 0.4, タイムスロット 20ns



共有バッファ型

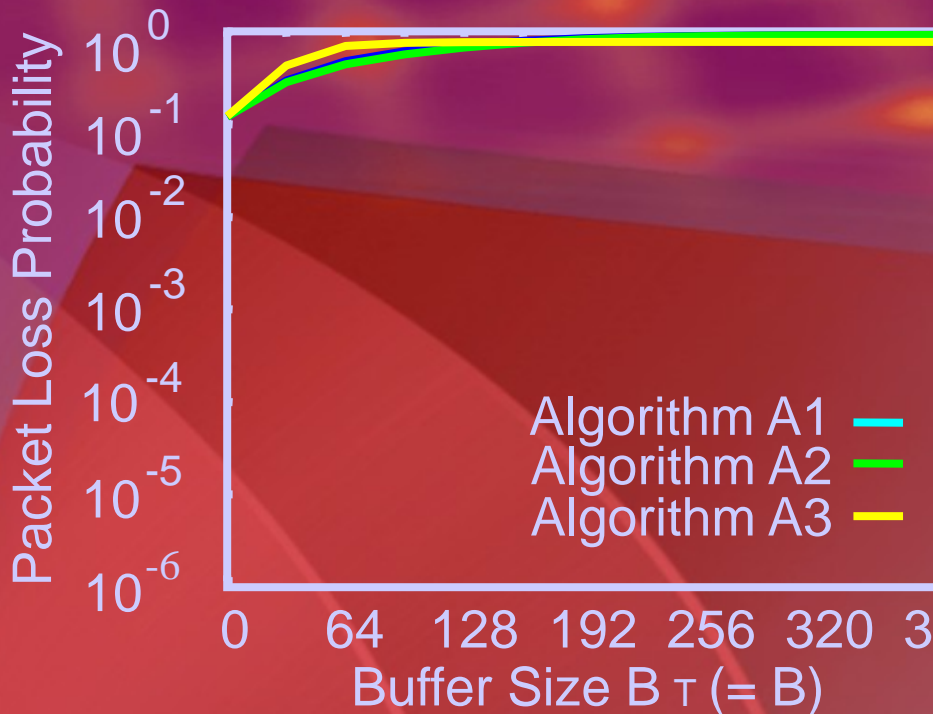


出力バッファ型

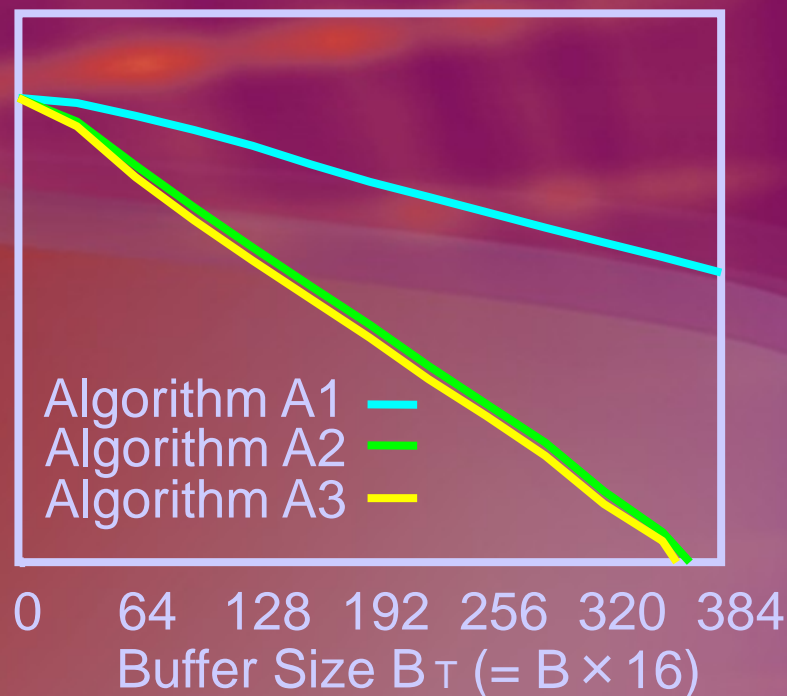


# バッファサイズによる評価 (高負荷の場合)

負荷 0.8, タイムスロット 20ns



共有バッファ型

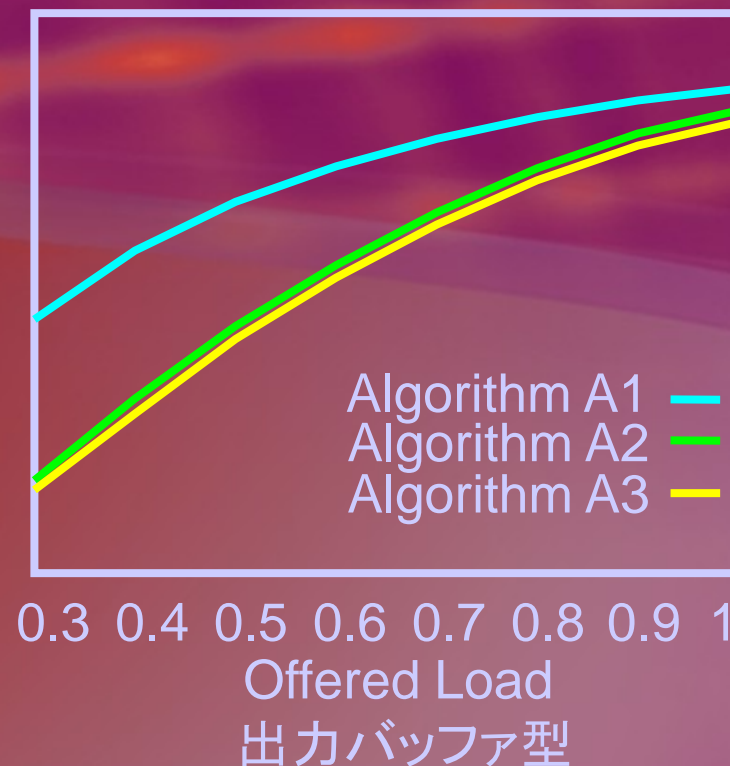
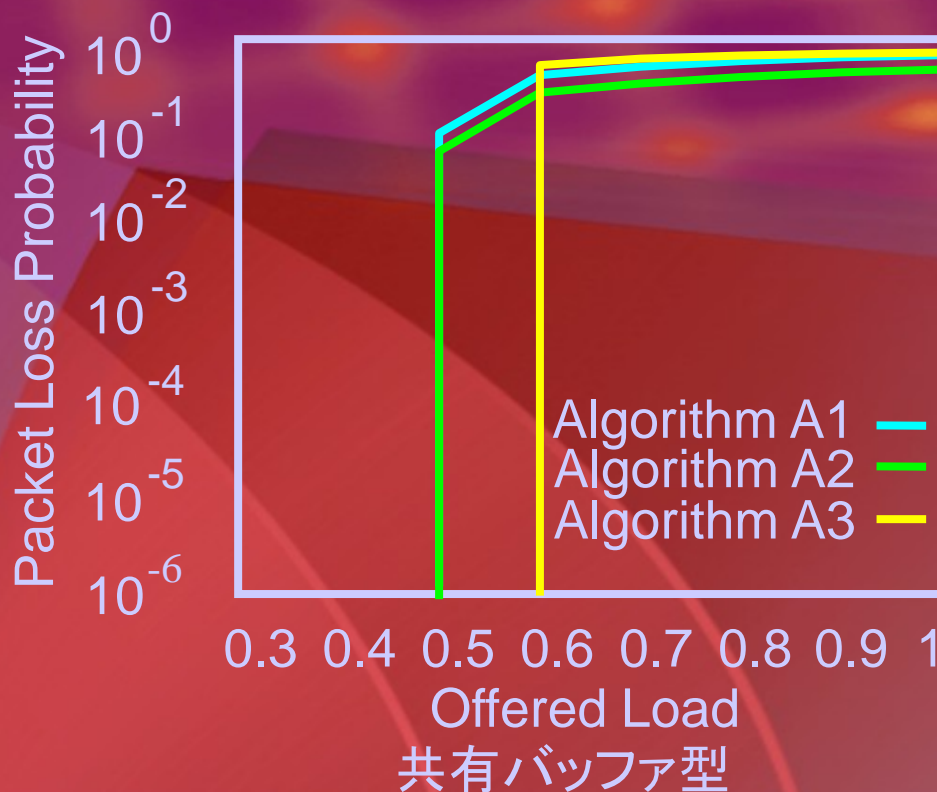


出力バッファ型



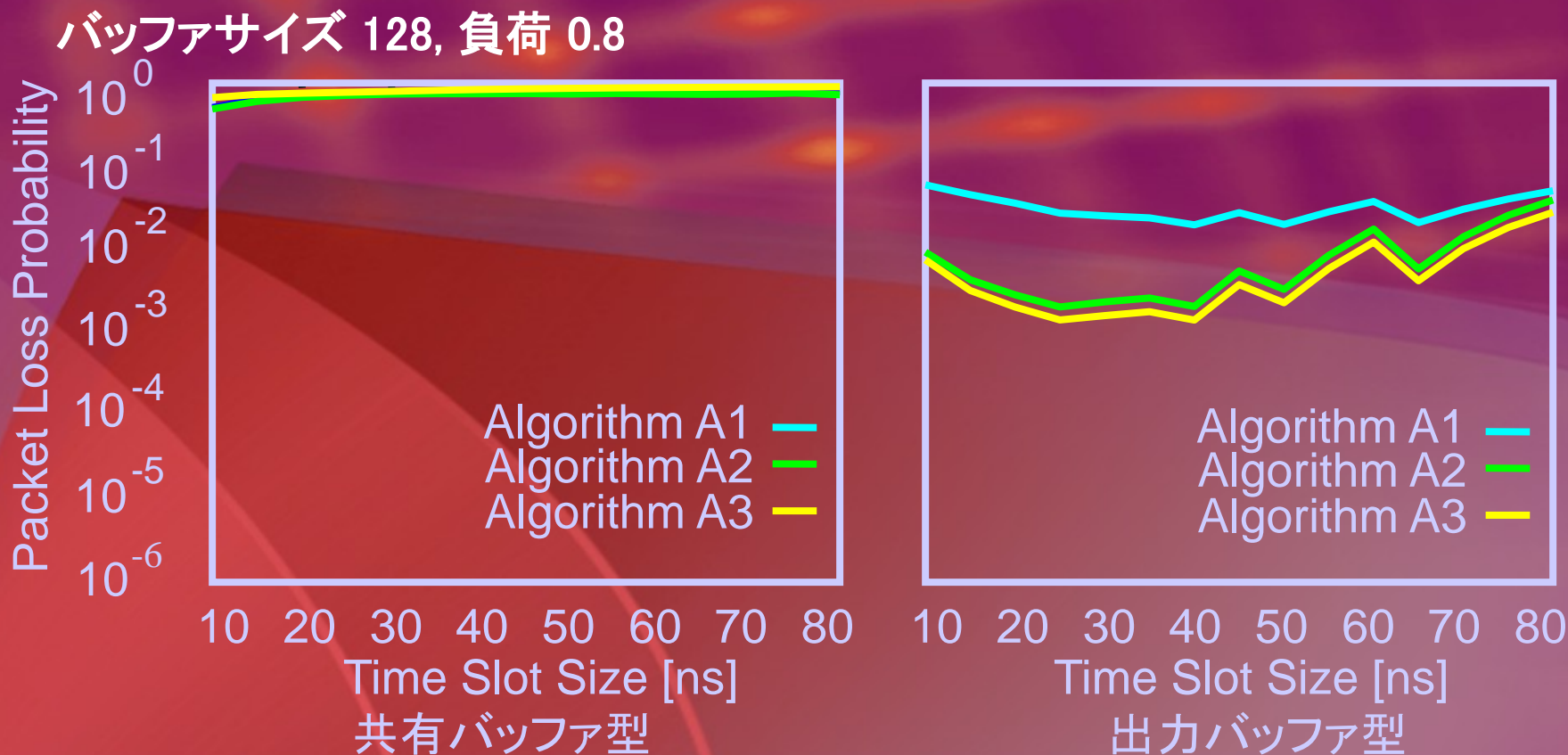
# 負荷による評価

バッファサイズ 64, タイムスロットサイズ 20ns





# タイムスロットサイズによる評価





# まとめと今後の課題

## フォトニックパケットスイッチの性能評価

- ・共有バッファ型

負荷の低い場合において有効

- ・出力バッファ型

負荷の高い場合において有効

アルゴリズム A2, A3 がアルゴリズム A1 に比べ高い性能を示す

## 今後の課題

高負荷時においても高い性能を実現する

共有バッファ型スイッチのアーキテクチャおよび

パケットスケジューリングアルゴリズムの提案



# タイムスロットサイズが スイッチの性能に与える影響

## ・遅延線の長さ

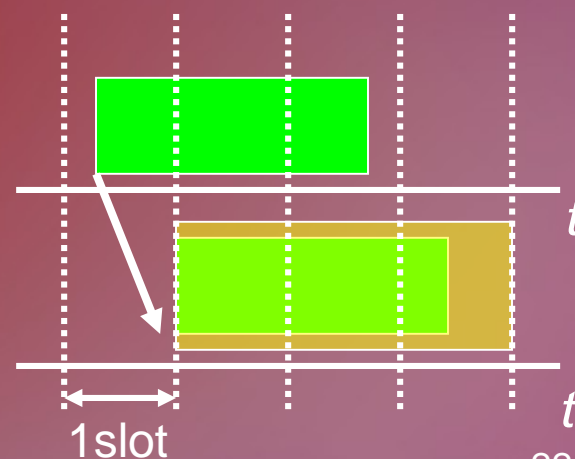


Fiber Delay Line Buffer



## ・同期／可変長パケット

到着パケット  
同期されたパケット





# 共有バッファ型スイッチにおける void space の発生

