

## 省電力化を実現するスライス化ルータアーキテクチャ

岩本 久<sup>†</sup> 井上 一成<sup>†</sup> 阿多 信吾<sup>††</sup> 大谷 嗣朗<sup>†††</sup> 長谷川 剛<sup>††††</sup>  
矢野 祐二<sup>††</sup> 黒田 泰斗<sup>†</sup> 村田 正幸<sup>††††</sup>

<sup>†</sup>ルネサスエレクトロニクス株式会社 〒664-0005 兵庫県伊丹市瑞原4-1

<sup>††</sup>大阪市立大学大学院工学研究科 〒558-8585 大阪市住吉区杉本3-3-138

<sup>†††</sup>日立情報通信エンジニアリング株式会社 〒220-6122 神奈川県横浜市西区みなとみらい2丁目3-3  
クイーンズタワーB22階

<sup>††††</sup>国立大学法人大阪大学 大学院情報科学研究科 〒565-0871 大阪府吹田市山田丘1-5

E-mail: <sup>†</sup>{ hisashi.iwamoto.xm@,kazunari.inoue.wj@,yuji.yano.xc@,yasuto.kuroda.xc@ }renesas.com

<sup>††</sup>ata@info.eng.osaka-cu.ac.jp, <sup>†††</sup>shiro.ohtani.bp@hitachi.com, <sup>††††</sup>{ murata@ist, hasegawa@cmc }osaka-u.ac.jp

あらまし コンテンツ配信や携帯電話需要によりネットワークトラヒックは成長を続け、インフラ整備やネットワーク機器の性能向上は継続的な課題となっている。同時に今後のルータ含む機器のエネルギー消費量は、地球環境規模にも及ぶ影響が指摘され、ネットワーク機器の省電力化は性能の追及とともに急務である。我々研究グループではトラヒック予測とスライス化アーキテクチャをルータへ導入し、必要な帯域性能に動的に追従する効果的な省電力化の実現を検討中である。本稿ではスライス化LSIの具体構成と適用について考案し、省電力スライス化ルータの有効性を示す。

キーワード IP ルータ、スライス化、低消費電力、トラヒック予測

## A Router Architecture comprises plural components of Slice enabling Energy Consumption Reduction

Hisashi IWAMOTO<sup>†</sup>, Kazunari INOUE<sup>†</sup>, Shingo ATA<sup>††</sup>, Shiro OTANI<sup>†††</sup>, Go HASEGAWA<sup>††††</sup>,  
Yuji YANO<sup>†</sup>, Yasuto KURODA<sup>†</sup>, and Masayuki MURATA<sup>††††</sup>.

E-mail: <sup>†</sup>{ hisashi.iwamoto.xm@,kazunari.inoue.wj@,yuji.yano.xc@,yasuto.kuroda.xc@ }renesas.com

<sup>††</sup>ata@info.eng.osaka-cu.ac.jp, <sup>†††</sup>shiro.ohtani.bp@hitachi.com, <sup>††††</sup>{ murata@ist, hasegawa@cmc }osaka-u.ac.jp

**Abstract** The complete network service of infrastructure is an urgent issue by means of continuous growth in network traffic. Apparently, the energy consumption of network routers may arise one of global environmental affairs, and therefore Research and Development works regarding power reduction is well desired. Our group proposes a unique feature embedded onto routers, which consists of plurality of slice, and is dynamically controlled by the prediction of network traffic flow. In this paper, we've examined slice control and LSI architecture, and have shown the validity of slice-architectural router.

**Key words** IP Router, Slice structure, Low power, Network traffic prediction

## 1. はじめに

動画によるコンテンツ配信や、情報端末付き携帯電話（スマートフォン）需要により、ネットワークトラヒックは今なお、爆発的勢いで成長を続け、社会インフラの整備やネットワーク機器の性能の向上は継続的な技術課題となっている。総務省「地球温暖化問題への対応に向けたICT政策に関する研究会」報告書（平成20年度）によれば、今後省電力対策がなされない場合、2012年度にはルータの消費電力は ICT 機器の消費電力全体の14%、およそ79.8億kWh に達し、これは我が国の2006年度消費電力の約0.9%に相当する。また、経済産業省の試算では、国内のルータ（現在約2000万台）を含むネットワーク機器の総消費電力は2006年度で約80億kWh、2025年度には約1,033億kWhに急増すると指摘されている。

これらの予測においては、ネットワーク機器、特にルータの消費電力が大きな割合を占めており、性能の追及とともにその省電力化が急務である。一般にルータなどのネットワーク機器はトラヒック量の変動に関係なく、常に100%の処理能力で動作し続けることを前提として設計されてきた。その結果、特に夜間や休日など、トラヒック量が少ない場合には、消費電力に大きな無駄が生じる。そこで、トラヒック変動に応じてトラヒックを特定の経路に集約し、不要となった経路上のルータを停止させることによって省電力化を図るトラヒックエンジニアリング技術の研究開発なども進められている。[1]

現在、ルータは種々の機能コンポーネントを用途および規模に応じて組み合わせることで構成されている。一般的なルータにおけるコンポーネントごとの消費電力は

1. 電源およびシャーシ（電力変換および冷却含む）：約33%
2. ラインカード：約42%
3. スイッチファブリック：約15%
4. コントロールプレーン：約10%

とされている。[2]

さらに、ラインカードについては、ラインカード上に「検索エンジン」「バッファ」「入出力インターフェース」などのコンポーネントが搭載されており、ラインカードの消費電力約42%の内訳は、

1. 検索エンジン：約32%

2. バッファ：約3.5%

3. 入出力：約6.5%

となっている。また、キャリアクラスのルータ（Cisco CRS-1）におけるコンポーネントごとの消費電力については、

1. ラインカード（検索エンジン） 約50%

2. ラインカード（バッファ） 約20%

3. 電源（電力変換） 約15%

といった数値も示されている。電力変換及び冷却は内部コンポーネントの消費電力に比例すると考えることができるため、ルータにおいてはラインカードおよびスイッチファブリックでその50%以上の電力消費を占めていることがわかる。さらに、ラインカードにおいては、記憶素子および検索回路などのLSIが大きな電力を消費しているため、これらの低消費電力化がルータの省電力化の鍵となる。我々研究グループでは、ルータにおける機能コンポーネントをLSIレベルで細分化した（スライス化）アーキテクチャを提案し、トラヒック変動に適応的に追従可能な省電力制御によって、低消費電力化の実現を目指している。[3] 本稿では、ルータの低消費電力化を目的として、主要な役割を担うメモリアベースのLSIのスライス化とLSI待機時について、電力消費を完全に遮断するコールドスタンバイと復帰時間の短いホットスタンバイの導入によって動的な制御を示し、効果的な省電力効果と有効性を示す。

以下、2. では先端テクノロジーを用いたLSIの機時消費電力の問題と本研究によるコールドスタンバイとホットスタンバイの概念について説明する。3. ではコールドスタンバイとホットスタンバイの具体的実現方法について述べる。4. では、ルータの各処理部についてスライス化の適用を考察し、5. でスライス化ルータのまとめと今後の課題について述べる。

## 2. LSI待機時の消費電力

図1は、65nmCMOSテクノロジーを用いてカスタム型メモリLSIの消費電力を速度性能毎にシミュレーションしたものである。パラメータとしてネットワークトラヒック帯域を0Gbps, 10Gbps, 20Gbps, 40Gbpsと与え、最少フレームが連続して処理された場合の電流値を示し

ている。シミュレーション条件は電圧が1.2V、室温、標準のトランジスタパラメータである。帯域が増すにつれ消費する電流は線形的に増加するが、注目すべきは、帯域0Gbps時、即ちLSIにとって待機時の電流はゼロ値を示さず、40Gbps帯域のおよそ60%を占める。この傾向は昨今の40nmや28nmなど先端テクノロジーを用いたLSIでさらに顕著であり、トランジスタの微細化に伴うオフリークに起因する。加えてデータを保持するためリフレッシュ電流も外部の速度に依存しない定常電流として付加される。従って、使用帯域によってLSIの動作周波数を制御する限りの手法においては、このオフリークとリフレッシュ電流を常時消費するため、有効な省エネルギー効果を得ることができない。

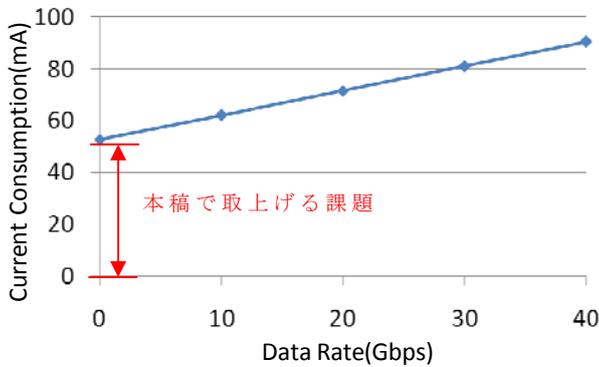


図1 データ転送レート vs. 電流

我々研究グループはこのような問題に鑑みて、LSI内部を小規模の複数スライスに分割し、スライス単位の動作制御に加え、トラヒックに追従可能な復帰時間を優先したホットスタンバイと、復帰時間は長いが電力消費を伴わないコールドスタンバイという2つの待機状態を制御するアーキテクチャを提案する。例えば、帯域予測値が20Gbpsであれば、スライス2/4が動作し、1/4は完全なコールドスタンバイ、残り1/4はトラヒックが増加した場合に備え、1/16を即時に動作モードに移行が可能なホットスタンバイ、3/16をコールドスタンバイにて待機し、効率的な省電力効果を得る。ここでスライス化LSI自身は、能動的にスライスの動作制御が出来ないため、統計情報に基づくトラヒックの予測技術に基づく管理機構によって、各スライスの動作・待機を制御しなければならない。このように、本稿で示す省電力ルータは、主要コンポーネントとなるLSIにコールドスタンバイとホットスタンバイという異なる待機状態を導入し、効率的に制御することによって省電力化を実現する。次章3.では、電力消費を伴わないコー

ルドスタンバイと復帰時間を優先したホットスタンバイの具体テク実現手法について示す。

### 3. コールドスタンバイとホットスタンバイ

図2は提案するホットスタンバイとコールドスタンバイの具体的実現方法を示した例である。コールドスタンバイは、電源レギュレータを制御し内部への電源供給を遮断する。LSI内部でこのレギュレータ制御を行った場合の消費電力合計は、ホットスタンバイ値と比較して、1%以下であることはシミュレーションによって実証済である。但し、動作までの復帰時間は10ms未満となるためコールドスタンバイによる待機だけではトラヒックに追従することが困難であり、ネットワークルータとしての品質が問題となる。よって高速に動作モードに復帰が可能なホットスタンバイを追加導入する。ホットスタンバイは図2に示すLSIの内部メモリアレイと同様にスライス化し、それぞれから分岐分配する内部CLK網を遮断し、各アレイで消費されていたリフレッシュ電流と内部CLKによる充放電流の削減を図る。

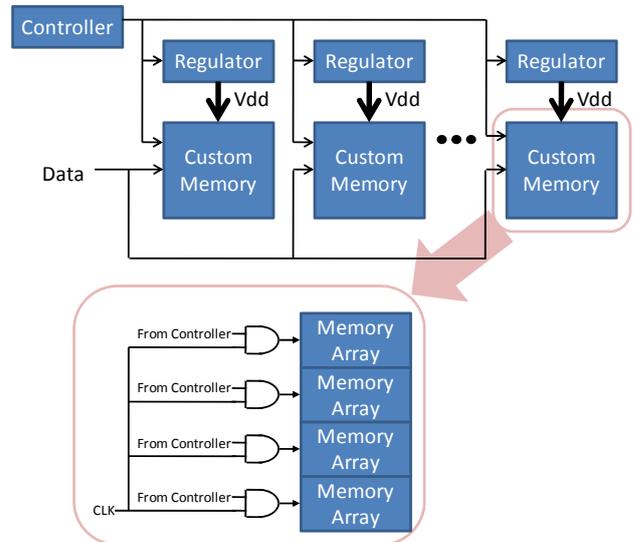


図2 コールドスタンバイとホットスタンバイ

2つの待機時を有するスライス化LSIによる消費電力の低減効果を図3のシミュレーションで示す。コールドスタンバイとホットスタンバイという2つの待機モードの導入とスライス制御により、転送レートに追従して電力消費は低減し、スライス化されない場合と比較して50%強の削減が可能となる。

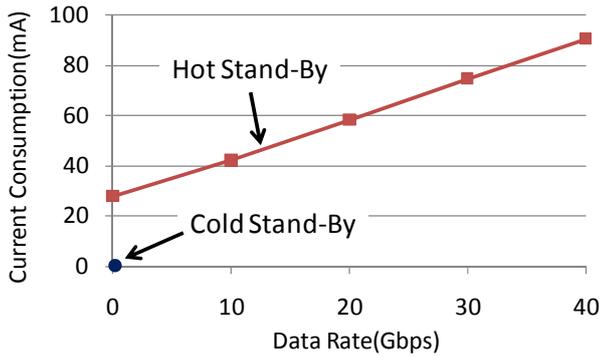


図3 ホット&コールドスタンバイの電流値

#### 4. ルータの各処理部とスライス化

本章は、省電力スライス化のルータへの組み込み、適用について議論する。ルータは、回線を搭載するラインカード上にパケットの処理、制御LSIを搭載する分散型アーキテクチャと、各ラインカードを集約する上位アプリケーション側で集中管理と処理、制御する集中型アーキテクチャに大別される。いずれのアーキテクチャにおいても基本的なパケット処理は同じであるが、要求される性能やコストによってそのいずれかが採用される。先ずルータ内部の基本処理部について、スライス化導入の検討を行った。

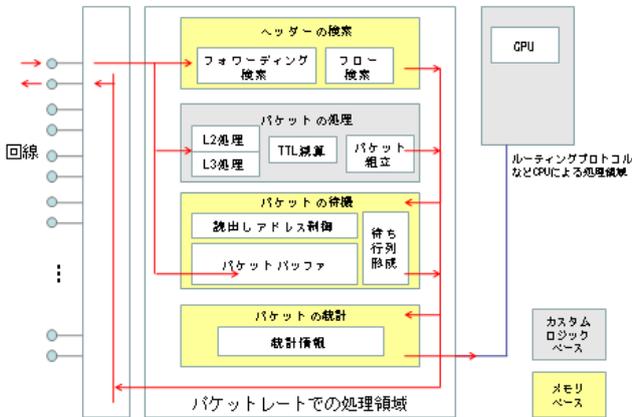


図4 ルータの処理担当LSIの構造

図4はルータの基本処理と処理を担当するLSIの構造についてまとめたもので、ハードウェアによりパケットレートで処理を行う領域と、ルーティングプロトコルなどCPUによって処理を行う領域に分けられる。電力消費は、LSIが多く搭載されるパケットレートでの処理部において支配的であり、ここではさらにハードウェアの構造からL2/L3処理などカスタムロジックをベースとしたLSIによる電力消費と、セルを繰り返してレイ配

置したメモリベースのLSIによる電力消費に分類することができる。

図5は、ロジックベースのLSIについて本研究によるスライス化の概念の適用を示したものである。図5左は、並列度=1で40Gbps性能を処理するL2/L3エンジン、図5右は、10Gbps性能の処理能力を有するスライスを並列度=4で搭載した例である。

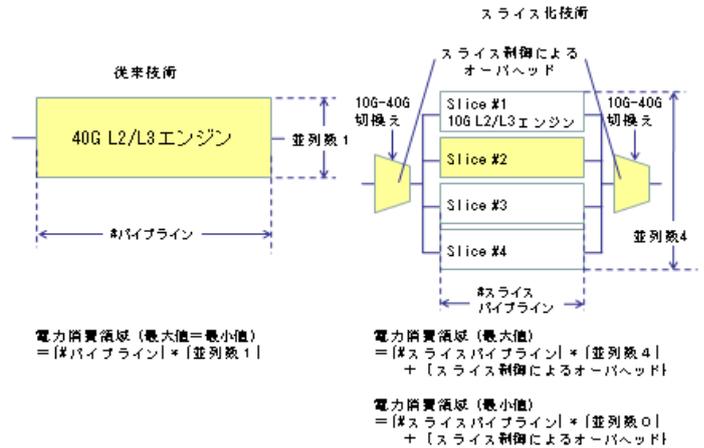


図5 ロジックベースのLSI構造についてスライス化

この図において、それぞれの消費電力はハードウェア動作領域に比例すると考えられるため、

[従来技術の電力消費領域] (最大値=最小値)  
 $= \{ \# \text{パイプライン} \} * \{ \text{並列数} 1 \}$

で表わすことができ、本研究によるスライス化では

[スライス化技術の電力消費領域] (最大値)  
 $= \{ \# \text{スライス化パイプライン} \} * \{ \text{並列数} 4 \}$   
 $+ \{ \text{スライスによるオーバーヘッド} \}$

[スライス化技術の電力消費領域] (最小値)  
 $= \{ \# \text{スライス化パイプライン} \} * \{ \text{並列数} 0 \}$   
 $+ \{ \text{スライスによるオーバーヘッド} \}$

の間で制御される。スライスによるオーバーヘッドとは、トラフィック予測に基づく10G-40G間の制御用ハードウェアによる電力消費を示す。

ここでの比較評価について、単位スライスあたりの性能は全体性能の1/4のため、

$\{ \# \text{パイプライン} \} \gg \{ \# \text{スライスパイプライン} \}$   
 となることや性能切換え制御によるハードウェア規模と電力消費のトレードオフなど、この議論は簡単ではなく、平成24年度に計画する試作による論理ゲートの算出や消費電力の観測によって今後明らかにしたい。

一方、図4で示したとおり、ルータ内部ではメモリベースのLSI構造による処理が多く存在する。図6は、集中型アーキテクチャルータによるファブリックスイッチについて示した例である。

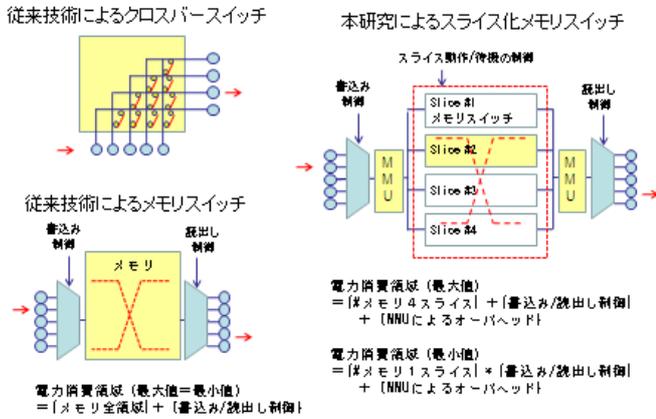


図6 ファブリックスイッチのスライス化

従来技術ではクロスバースイッチと呼ばれる特殊なアレイ構造LSIが用いられていたが、現在は高速メモリ技術の進歩により単純な二次元アレイ配列メモリへの書き込み・読み出し制御によって見かけ上のクロスバースイッチの代替を提供する。加えて、ネットワークの帯域性能に追従した処理をハードウェア搭載するよりも、処理が追いつかない場合に安価なメモリを用いて待ち行列を形成することで性能低下を回避することが可能である。メモリによれば、ハードウェアコストも抑制することが可能となるため、これらがルータ各処理においてメモリをベースとした構造が多く見られる理由となっている。

このような待ち行列理論におけるメモリをベースとする構造は、ロジックベースとは異なり、本研究によるスライス化の適用は非常に容易である。待ち行列として必要なメモリ空間は帯域性能に比例するため、トラヒックの統計に基づく帯域予測を用いて、待ち行列の空間、即ち動作スライス数を制御することが可能である。唯一のオーバーヘッドは、メモリマネージメントユニット (MMU) に発生する。書き込み、読み出しを外部から制御した場合、スライスによる分割に関係なくメモリ全域にアクセスが及ぶため、特定スライスホットスタンバイやコールドスタンバイなど待機状態にした省電力制御は不可能である。従って、外部アドレス入力を仮想アドレスとして受信し、内部スライス制御が可

能な物理アドレスへの変換を行い、動作スライスのみに対してアクセスが発生するように、空きアドレス管理と割当、開放の制御をしなければならない。このようなオーバーヘッドを伴うMMUの知的制御は試作に向け、今後の課題であるが、検索エンジンやアプリケーションスイッチなど、1.章で示した大きな電力消費を伴う処理部にスライス化を導入することが可能であり、効果的な省電力化の実現が期待できる。

## 5. スライス化ルータ、今後の課題

図7は、ルータ内部の処理の流れと本研究によるスライス化の適用についての検討を示したものであり、表1にその結果をまとめる。

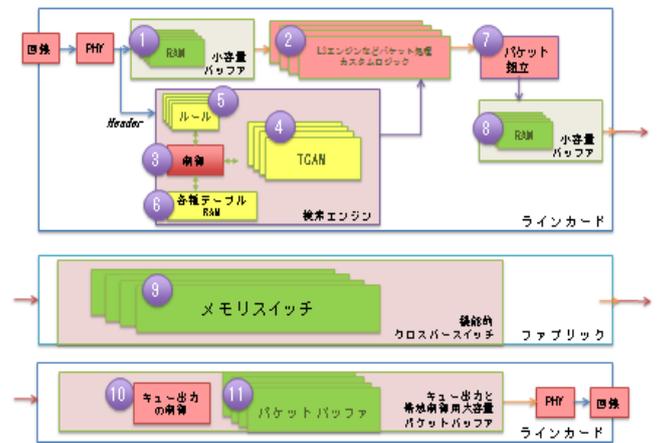


図7 ルータの処理の流れとスライス化の適用

表1 ルータの処理とスライス化

項番	機能	消費電力	メモリ/ロジック	スライス化の適用
1	小容量バッファ、入力後の待ち行列	大	メモリ	容易
2	L3エンジンなどパケット処理		ロジック	
3	検索エンジンの制御	大	ロジック	
4	TCAM		メモリ	特殊な加工により可能
5	出力先等のルール		メモリ	
6	廃棄処理、優先処理目的のフローテーブル		メモリ	
7	パケットの組み立て		ロジック	
8	小容量バッファ、入力後の待ち行列		メモリ	容易
9	メモリスイッチと待ち行列	大	メモリ	容易
10	キューの制御		ロジック	
11	キュー出力とパケットバッファ、出力待ち行列	大	メモリ	容易

メモリスイッチやパケットバッファなどメモリベースの構造においては、電力消費量が多い処理に対してスライス化の適用は容易であり、また検索エンジンについては既に我々グループの研究成果として報告した階層型部分検索[4],[5]を併用することで、スライス化はルータ全体の消費電力を効果的に低減することが可能である。但しスライス化の適用によって省電力化の恩恵が享受できるのは、スライスがコールドスタンバイ、並びホットスタンバイで待機することであり、この制御の重要性はトラヒックの統計から抽出する予測化技術への課題にほかならない。

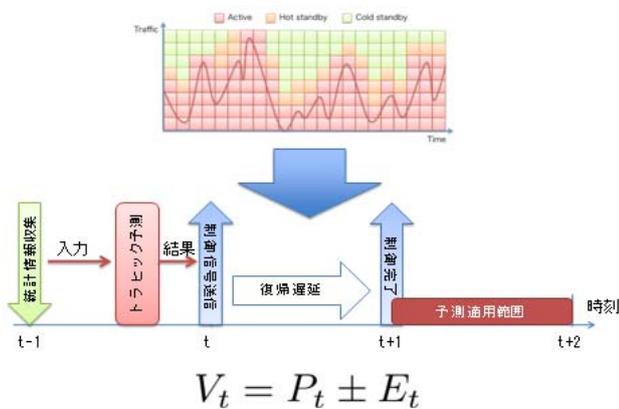


図8 スライス制御用トラヒック予測化技術

図8は、スライス化LSIと並行して研究を進めているトラヒック予測化技術について示した図である。トラヒック量は通常時間軸 (Time Slot) に対して或る特異性を示すため、統計情報取得から、

$$V_t = P_t \pm E_t$$

- $V_t$  : 予測値
- $P_t$  : 予測基本値
- $E_t$  : 予測誤差

を得て、 $V_t$ 値によって動作スライス、ホットスタンバイ、コールドスタンバイの制御を行う。

然しながら、この予測値は予測誤差 $E_t$ 値を含むため、受信側のスライスLSI側では、 $V_t$ 値による動作スライスの決定と少なくとも1スライスをホットスタンバイで待機させ、信頼性を保つことが必要と考えている。この予測誤差とスライスの復帰時間について詳細は平成24年度の試作評価へ向け今後の研究の課題である。

### 謝辞

本研究の成果は総務省球温暖化対策ICTイノベーション推進事業 (PREDICT) の受託研究による。

### 文献

[1] R. Kawahara, T. Mori, and T. Abe, " QoS control to handle long-duration large flows and its performance evaluation," IEEE ICC'06, June 2006.

[2] J. Baliga, et al., "Photonic Switching and the Energy Bottleneck," Proc. IEEE Photonics in Switching, pp. 125-126, Aug. 2007.

[3] 日高 稔、矢崎武己、山田雅毅、林 剛久「動的な性能制御可能なルータに対するトラフィック予測方式」信学技報, vol. 109, no. 188, NS2009-61, pp. 7-12, September 2009.

[4] 阿多 信吾、黄 恵聖、山本 耕次、井上 一成、村田 正幸「低コスト・低消費電力TCAMにおける効果的なルーティングテーブル管理法」信学技報, vol. 107, no. 443, NS2007-61, pp. 119-129, September 2007.

[5] K.Zaitzu, K. Yamamoto, Y. Kuroda, K. Inoue, S. Ata, and I. Oka, "Hardware Implementation of Fast Forwarding Engine using Standard Memory and Dedicated Circuit," IEEE International Conference on Electronics, Circuits and Systems, December 2010.